

Métrologie électrique basse fréquence et radiofréquence appliquée aux circuits 3D empilés

Djamel Allal^a, Alexandra Delvallée, Mohammad Saif Khan

Laboratoire National de Métrologie et d'Essais LNE, France

Abstract. This paper presents the work carried out at LNE in the framework of an EMPIR Joint Research Project “Metrology for manufacturing 3D stacked integrated circuits” in order to develop traceable measurement capabilities for structural and chemical defects inspection in high aspect ratio through silicon vias and wafer/chip bonding and thinning and accurate measurement techniques for thermal and electrical materials characterisation at the nanoscale of the vias in 3D stacked electronic circuits. Apart from coordinating the project, LNE is participating technically in the field of electrical metrology where different techniques in the low frequency and radiofrequency ranges are applied to characterize the vias in terms of resistivity and RF losses.

1 Introduction

Les travaux présentés sont réalisés dans le cadre d'un projet de recherche européen du programme EMPIR^(*) intitulé « Metrology for manufacturing 3D stacked integrated circuits » dans le but d'apporter des solutions métrologiques pour améliorer les processus de fabrication de circuits intégrés 3D empilés reconnus comme un atout de croissance pour l'industrie des semi-conducteurs [1].

Ce projet a commencé en juin 2015 pour une durée de trois ans et implique neuf partenaires issus de six pays européens, incluant cinq Laboratoires nationaux de métrologie : LNE, CMI, METAS, NPL et PTB, trois organismes de recherche renommés : CEA, Fraunhofer et imec et un industriel, acteur reconnu de ce secteur : UnitySC.

Le projet a pour objectif de développer des possibilités de mesure traçables pour notamment l'inspection de défauts chimiques et structurels dans les vias de cuivre dans les couches de silicium ou TSV (Through Silicon Via en anglais) qui permettent d'établir les liaisons électriques entre les composants des différentes couches du circuit empilé et également lors du collage et de l'amincissement de substrats et de puces et développer des techniques de mesure thermiques et électriques pour la caractérisation de matériaux à l'échelle nanométrique des TSV dans les circuits 3D empilés.

Le LNE coordonne ce projet et réalise des travaux, d'un point de vue technique, dans le domaine de la métrologie électrique où différentes méthodes sont appliquées pour caractériser les TSV à fort rapport de forme ou HAR STV (High Aspect Ratio TSV). Ces techniques couvrent les domaines basse fréquence (BF) et

radiofréquence (RF) et ont pour but de caractériser la résistivité et les pertes RF de ces TSV.

Dans le domaine BF, deux techniques de mesure sont appliquées pour réaliser la caractérisation électrique des TSV présents dans les couches de silicium.

Pour la première technique, un système expérimental est mis en place pour la caractérisation du cuivre nanostructuré et utilise quatre pointes BF permettant des mesures à l'échelle micrométrique dans le but d'évaluer l'effet de l'espacement entre les pointes sur la mesure de résistivité, sachant que la traçabilité de cette dernière est établie via l'étalonnage des instruments par rapport aux étalons de tension et de courant du LNE.

La seconde technique utilise un ResiScope qui est un ohmmètre associé à un microscope à force atomique (AFM) à pointe conductrice et qui permet de réaliser des mesures locales de résistance sur une très grande dynamique [2].

Dans le domaine RF, deux techniques de mesure sont également appliquées et permettent de déduire des paramètres électriques de base tels que la résistivité, à partir de paramètres typiquement mesurés dans les domaines RF et micro-onde.

La première technique utilise un microscope micro-onde à balayage ou SMM (Scanning Microwave Microscope) qui est un système de mesure associant un AFM à pointe conductrice avec un analyseur de réseau vectoriel (VNA). Le SMM permet de mesurer les propriétés de transport électrique locales telles que la résistivité et la conductivité électriques à l'échelle nanométrique dans les TSV emplis de cuivre. Le SMM peut également être utilisé pour la détection de trous à l'intérieur des TSV en développant une technique qui s'appuie sur l'effet de peau en faisant varier la fréquence

^a Djamel Allal : djamel.allal@lne.fr

du signal RF en allant des fréquences MHz aux fréquences GHz [3].

La seconde technique s'appuie sur des mesures de paramètres S (rapports d'ondes électromagnétiques en réflexion et en transmission) en utilisant un VNA associé à une station sous pointes utilisant des sondes RF et permettant de faire des mesures de quelques GHz à une centaine de GHz sur des structures contenant des TSV et réalisées spécifiquement, pour l'extraction des paramètres électriques tels que la résistivité et la conductivité. La structure inclut des lignes coplanaires ou CPW (CoPlanar Waveguide) aux recto et verso du substrat de silicium et des TSV pour réaliser la liaison électrique entre les tronçons des deux faces du substrat [4]. Des modèles physiques par éléments électrique discrets associés à des simulations électromagnétiques 3D sont alors confrontés aux mesures électriques pour extraire les paramètres électriques des TSV et détecter d'éventuels défauts tels que des trous ou des inclusions d'éléments conducteurs ou diélectriques.

2 Réalisation des TSV

Les structures contenant des TSV (échantillons) sont réalisées par les partenaires CEA, Fraunhofer et imec et sont fournies aux autres partenaires pour effectuer les mesures et caractérisations diverses telles que prévues dans le protocole technique du projet.

Concernant le TSV lui-même, c'est-à-dire la réalisation d'une couche de silicium contenant des TSV, la première étape est la gravure qui permet de réaliser les trous ou vias et la deuxième étape est le dépôt métallique de cuivre qui permet le remplissage des vias. En fonction des techniques de mesure, une troisième étape est l'amincissement de la couche de cuivre superficielle permettant l'accès direct aux TSV.

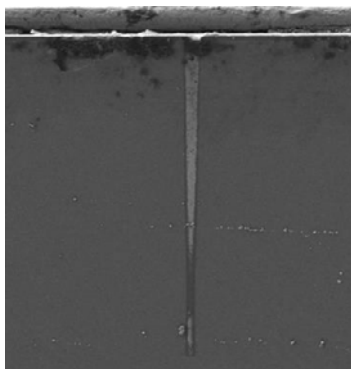


Figure 1. Modèle de mesure dans le cas de la mesure d'une charge

Cette étape d'amincissement est nécessaire pour l'empilage de différentes couches de silicium car ce sont les TSV eux-mêmes qui réalisent les interconnexions entre les composants des différentes couches de silicium, et la couche superficielle, si elle n'était pas amincie ferait court-circuit entre les différents points de contact. Une quatrième étape enfin est le collage entre différentes couches de silicium, important d'un point de vue

métrologique notamment dimensionnel et lié à l'alignement des différents points de contact électrique.

Sur la Figure 1 ci-dessus, la coupe longitudinale d'un TSV est présentée, d'après une image réalisée à l'aide d'un microscope électronique à balayage. On peut noter le rapport de forme élevé entre la profondeur (50 μm) et le diamètre du via variant de quelques micromètres.

3 Systèmes de caractérisation par des techniques à basse fréquence

Afin de réaliser les mesures par la méthode des quatre pointes, le laboratoire s'est doté d'une station de test sous pointes 150 mm avec des positionneurs à résolution micrométrique et des pointes avec des rayons de 1 μm et 500 nm permettant de scruter des détails de taille inférieure au micromètre.

D'autre part, le laboratoire s'est également doté d'un ResiScope [2] qui permet de réaliser des mesures de résistance sur une dynamique de 10 décades ($10^2 \Omega$ à $10^{12} \Omega$), à une cadence pouvant atteindre 5 kHz. Grâce à l'utilisation d'un mode à contact intermittent, l'absence de friction et le contact ponctuel à force constante de la pointe sur l'échantillon permettent d'obtenir des mesures quantitatives sans abimer la surface des échantillons délicats.

4 Systèmes de caractérisation par des techniques radiofréquences

Le premier système RF, un SMM [3] permet en associant un AFM à pointe conductrice avec un VNA, de réaliser des mesures de S_{11} (paramètre S correspondant à un facteur de réflexion) qui donne une information sur les matériaux scrutés par la pointe de l'AFM compte tenu de la structure, des propriétés électromagnétiques de ses constituants et de son couplage électromagnétique avec la pointe de l'AFM. En fonction de la fréquence de travail, la profondeur de pénétration des ondes électromagnétiques varie (effet de peau) et une information quant à la présence de défauts comme par exemple des trous dans le TSV peut être détectée.

Le second système utilise également un VNA qui est associé cette fois-ci à une station sous pointes utilisant des sondes RF permettant de mesurer les paramètres S de composants réalisés sur puce, en l'occurrence des lignes de transmission CPW traversant deux fois (ou plus) un substrat de silicium en utilisant des TSV. En analysant la réponse fréquentielle de lignes CPW de différentes longueurs et de différents nombres de traversées, il est possible d'extraire la réponse, dans le domaine micro-onde des TSV et de déduire un paramètre électrique de base tel que la résistivité électrique.

Sur la Figure 2 ci-dessous deux masques sont montrés avec à gauche et à droite respectivement, deux et quatre traversées du substrat par TSV. Les sens des hachures, différents, indiquent des métallisations sur deux niveaux différents de substrat, reliés par des TSV repérés par des cercles.

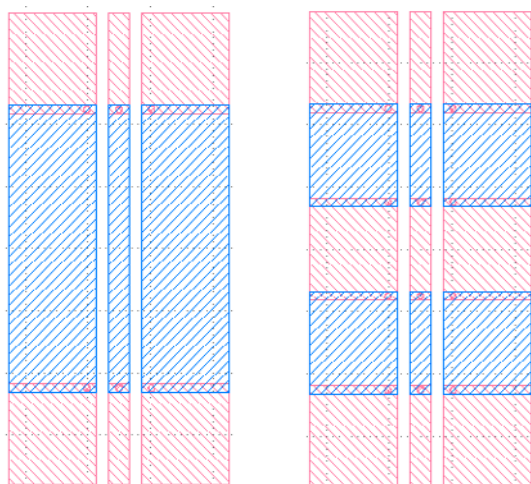


Figure 2. Masque de lignes de transmission coplanaires incluant des traversées de substrat à l'aide de TSV

6 Conclusion

Cet article a présenté les moyens mis en œuvre au LNE pour le projet européen « Metrology for manufacturing 3D stacked integrated circuits » mené dans le cadre du programme EMPIR. Ces moyens sont des systèmes de mesure électrique opérant dans les domaines basse fréquence et radiofréquence et permettant d'extraire les caractéristiques électrique de base telles que la résistivité électrique, à des échelles micrométrique et nanométrique, pour évaluer la performance électrique des TSV pour l'interconnexion des différentes couches constituant les circuits 3D empilés. Ces caractérisations dans le domaine électriques sont associées à d'autres types de caractérisations, dimensionnelles, structurelles, chimiques et thermiques, réalisées par les autres partenaires du projet dans le but d'aider les industriels à améliorer les processus de fabrication des circuits intégrés 3D empilés.

Références

1. A European Industrial Strategic Roadmap for Micro- and Nano-Electronic Components and Systems, Reports and studies (2014)
2. P. Chrétien, I. Estevez, O. Schneegans, F. Houzé, International SPM Usermeeting, Barcelone, Spain, (2008)
3. H. P. Huber, et.al. Rev. of Sci. Inst. **81**, 113701 (2010)
4. Y. S. Cho and R. R. Franklin, 40th EuMC, pp. 113-116, Paris, France (2010)

(*) The EMPIR initiative is co-funded by the European Union's Horizon 2020 research and innovation programme and the EMPIR Participating States.